

{19}



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08330474 A**

(43) Date of publication of application: 13 . 12 . 96

(51) Int. Cl.

H01L 23/12
H01L 23/13

(21) Application number: 08072253

(22) Date of filing: 27 . 03 . 96

(30) Priority: 31 . 03 . 95 JP 07 74827

(71) Applicant: TOSHIBA CORP

(72) Inventor: YANO KEIICHI
KUDO JUNICHI
YAMAKAWA KOJI
IYOGI YASUSHI

(54) PACKAGE FOR SEMICONDUCTOR

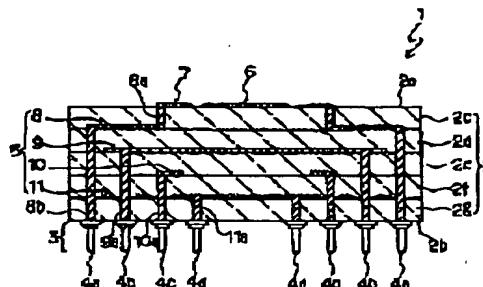
Power source terminal 4d.

(57) Abstract:

COPYRIGHT: (C)1996, JPO

PURPOSE: To provide a semiconductor package such as PGA or BGA package, which allows the increase of the number of input and output signals accompanying the high integration of a semiconductor element and the increase of the dissipation from the semiconductor element, but also to improve the property of transmission of high frequency signal such as over GHz and reduce the dispersion.

CONSTITUTION: This possesses a ceramic multilayer substrate 2 such as a nitride aluminum multilayer substrate, etc., which has a mount 2a for a semiconductor element and a terminal formation face 2b and which is provided with an inner wiring layer 5 electrically connected with the semiconductor element. A group of input/output terminals 3 electrically connected to the inner wiring layer 5 are arranged at the terminal formation face 2b of the ceramic multilayer substrate 2. A group of input/output terminals 3 have signal terminals 4a and 4c, a ground terminal 4b, and a power terminal 4d. Out of these, the signals 4a and 4c are arranged next to at least one ground terminal 4b or the



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330474

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁶
H 0 1 L 23/12
23/13

識別記号

府内整理番号

F I
H 0 1 L 23/12技術表示箇所
E
P
N
C
Q

審査請求 未請求 請求項の数6 O L (全9頁)

(21)出願番号 特願平8-72253

(22)出願日 平成8年(1996)3月27日

(31)優先権主張番号 特願平7-74827

(32)優先日 平7(1995)3月31日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 矢野 圭一

神奈川県横浜市鶴見区末広町2の4 株式
会社東芝京浜事業所内

(72)発明者 工藤 潤一

神奈川県横浜市鶴見区末広町2の4 株式
会社東芝京浜事業所内

(72)発明者 山川 晃司

神奈川県横浜市鶴見区末広町2の4 株式
会社東芝京浜事業所内

(74)代理人 弁理士 須山 佐一

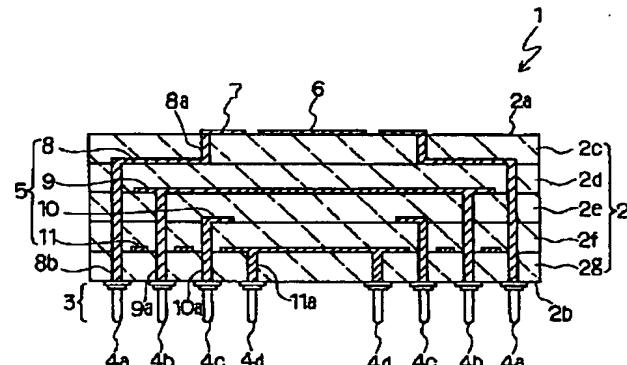
最終頁に続く

(54)【発明の名称】 半導体用パッケージ

(57)【要約】

【課題】 PGAやBGA等の半導体用パッケージにおいて、半導体素子の高集積化に伴う入出力信号数の増加、および半導体素子からの発熱量の増大に対応させた上で、GHzを超えるような高周波信号の伝送特性を向上させると共に、そのばらつきを低減する。

【解決手段】 半導体素子の搭載面2aと端子形成面2bを有すると共に、半導体素子に電気的に接続される内部配線層5が設けられた窒化アルミニウム多層基板等のセラミックス多層基板2を具備する。セラミックス多層基板2の端子形成面2bには、内部配線層5と電気的に接続された入出力端子群3が配列されている。入出力端子群3は、信号端子4a、4c、グランド端子4bおよび電源端子4dを有する。これらのうち、信号端子4a、4cは少なくとも1つのグランド端子4bまたは電源端子4dと隣接して配列されている。



【特許請求の範囲】

【請求項1】 半導体素子の搭載面と端子形成面とを有し、半導体素子と電気的に接続される内部配線層を有するセラミックス多層基板と、

前記内部配線層と電気的に接続されると共に、前記セラミックス多層基板の端子形成面に設けられ、信号端子、グランド端子および電源端子を有する入出力端子群とを具備し、

前記信号端子のうち主な信号端子は、少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴とする半導体用パッケージ。

【請求項2】 請求項1記載の半導体用パッケージにおいて、

前記信号端子は、その50%以上が少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴とする半導体用パッケージ。

【請求項3】 請求項1記載の半導体用パッケージにおいて、

前記信号端子は、その全てが少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴とする半導体用パッケージ。

【請求項4】 請求項1記載の半導体用パッケージにおいて、

前記内部配線層は、信号配線層、グランド配線層および電源配線層を有し、前記信号配線層と前記グランド配線層および電源配線層の少なくとも一方とが、前記セラミックス多層基板の積層方向に対して交互に配置されていることを特徴とする半導体用パッケージ。

【請求項5】 請求項1記載の半導体用パッケージにおいて、

前記入出力端子群は、ピン端子またはバンプ端子を有することを特徴とする半導体用パッケージ。

【請求項6】 半導体素子の搭載面と端子形成面とを有するセラミックス多層基板と、

前記セラミックス多層基板の内部に設けられた信号配線層、グランド配線層および電源配線層を有し、前記グランド配線層および電源配線層の少なくとも一方が前記セラミックス多層基板内に平面状に形成されている内部配線層と、

前記グランド配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられたグランド端子と、

前記電源配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられた電源端子と、

前記信号配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられた信号端子とを具備し、

前記信号端子のうち主な信号端子は、少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴とする半導体用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高周波伝送特性の改善を図った半導体用パッケージに関する。

【0002】

【従来の技術】一般に、半導体素子のパッケージングには、プラスチックパッケージ、メタルパッケージ、セラミックスパッケージが使用されている。これらのうち、セラミックスパッケージは、優れた絶縁性、放熱性、耐湿性等を有することから、コンピュータの演算部に用いるCMOSゲートアレイやECLゲートアレイ等のパッケージングに使用されている。

【0003】ところで、近年、半導体素子の1素子当たりの入出力信号数は、素子の高集積化により増加する傾向にある。また、半導体素子からの発熱量も増大する傾向にある。そこで、半導体用パッケージに対しては、入出力信号数の増加への対応を図ると共に、放熱性を高めることが強く望まれている。

【0004】このことから、QFP(Quad Flat Package)等に比べて、多端子化に容易に対応可能であると共に、放熱性に優れるセラミックス製のPGA(Pin Grid Array)パッケージやBGA(Ball Grid Array)パッケージが注目されている。このように、セラミックス製のPGAパッケージやBGAパッケージ等を用いることにより、半導体素子の多端子化や発熱量の増大等には対応することができる。しかし、最近の半導体素子においては、動作速度の高速化を図るために、動作周波数を高周波化する傾向が強い。従来構造のセラミックス製PGAパッケージやBGAパッケージでは、MHz域程度までの高周波信号については対応できるものの、GHzを超えるような高周波信号になると、以下に示すような問題が生じることが懸念されている。

【0005】すなわち、従来構造のPGAパッケージやBGAパッケージ等では、パッケージ内の信号線の配置位置等により伝送特性にばらつきがある。この伝送特性のばらつきは、信号線の伝送特性が部分的に低下することを意味している。この伝送特性の部分的な低下によって、従来構造のPGAパッケージやBGAパッケージ等は半導体素子に誤動作が生じやすいという問題を有している。

【0006】一方、最近の半導体素子はASICに見られるように、設計の自由度を高める方向に進んでいる。このため、予めパッケージ側で各信号線の信号通過特性を定めることが困難になっている。従って、大多数の信号線の高周波伝送特性を向上させることが求められている。

【0007】

【発明が解決しようとする課題】上述したように、最近の半導体素子の高集積化や高速動作化等に伴って、半導体用パッケージに対する要求特性は、入出力数の増加へ

の対応、高放熱性化、高周波信号の伝送特性の向上およびばらつき防止、またそれに伴う誤動作の防止等、年々厳しくなってきている。

【0008】 例え、入出力信号数の増加や高放熱性化に対しては、セラミックス製のPGAパッケージやBGAパッケージが有効である。しかし、GHzを超えるような高周波信号の伝送特性については、信号線の位置等によりばらつきが存在しているため、この高周波信号の伝送特性のばらつきを防止すること、さらにはそれに伴う誤動作等を防止することが求められている。

【0009】 本発明は、このような課題に対処するためになされたもので、半導体素子の高集積化や高速動作化等に対して実用的に対応可能とした半導体用パッケージを提供することを目的としており、具体的には半導体素子の高集積化に伴う入出力信号数の増加、および半導体素子からの発熱量の増大に対応させた上で、半導体素子の高速動作化に伴うGHzを超えるような高周波信号の伝送特性を向上させると共に、そのばらつきを低減した半導体用パッケージを提供することを目的としている。

【0010】

【課題を解決するための手段】 本発明の半導体用パッケージは、請求項1に記載したように、半導体素子の搭載面と端子形成面とを有し、半導体素子と電気的に接続される内部配線層を有するセラミックス多層基板と、前記内部配線層と電気的に接続されると共に、前記セラミックス多層基板の端子形成面に設けられ、信号端子、グランド端子および電源端子を有する入出力端子群を具備し、前記信号端子のうち主な信号端子は、少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴としている。

【0011】 さらに、本発明の半導体用パッケージは、請求項6に記載したように、半導体素子の搭載面と端子形成面とを有するセラミックス多層基板と、前記セラミックス多層基板の内部に設けられた信号配線層、グランド配線層および電源配線層を有し、前記グランド配線層および電源配線層の少なくとも一方が前記セラミックス多層基板内に平面状に形成されている内部配線層と、前記グランド配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられたグランド端子と、前記電源配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられた電源端子と、前記信号配線層と電気的に接続され、前記セラミックス多層基板の端子形成面に設けられた信号端子を具備し、前記信号端子のうち主な信号端子は、少なくとも1つの前記グランド端子または電源端子と隣接して配列されていることを特徴としている。

【0012】 GHzを超えるような高周波信号の伝送特性に影響を及ぼす要因としては、信号配線の配線長、メスキ配線の有無、信号配線とグランド配線および電源配線の基準電位配線との電磁的結合等が考えられる。これら

のうち、信号配線と基準電位配線との電磁的結合の度合いが高周波信号の伝送特性に大きな影響を及ぼす。特に、セラミックス製PGAパッケージやBGAパッケージでは、内部配線層を有するセラミックス多層基板を用いるため、基準電位配線に流れるリターン電流の経路が高周波信号の伝送特性に大きな影響を及ぼす。このリターン電流の経路長のばらつきを抑制すると共に、各信号配線と基準電位配線との電磁的結合の差を極力小さくすることによって、GHzを超えるような高周波信号の伝送特性を向上させることができ、かつそのばらつき小さくすることができる。本発明はこのような知見に基いて成されたものである。

【0013】 本発明の半導体用パッケージにおいては、主な信号端子は少なくとも1つのグランド端子または電源端子と隣接して配列されている。具体的には、50%以上の信号端子を少なくとも1つのグランド端子または電源端子と隣接して配列している。従って、主な信号端子に基くリターン電流の経路長を小さくすることができると共に、そのばらつきを大幅に低減することができる。さらに、主な信号端子とグランド端子または電源端子との電磁的結合条件をおおよそ一定とすることができる。これらによって、信号配線の高周波伝送特性を向上させると共に、そのばらつきを低減することができる。従って、本発明の半導体用パッケージには、各種設計の半導体素子を自由に搭載することができ、その上で搭載した半導体素子の誤動作等を防止することができる。

【0014】

【発明の実施の形態】 以下、本発明を実施するための形態について説明する。

【0015】 図1は、本発明の半導体用パッケージをPGA用パッケージに適用した一実施形態の構成を示す断面図である。このPGA用パッケージは、表面実装型PGAおよび挿入実装型PGAのいずれにも適用可能である。

【0016】 同図に示す半導体用パッケージ1は、上面2aがCMOSゲートアレイやECLゲートアレイ等の半導体素子の搭載面とされ、かつこの素子搭載面と反対側の面、すなわち下面2bが端子形成面とされた窒化アルミニウム多層基板2と、この窒化アルミニウム多層基板2の端子形成面2bに接合された入出力ピン群3（入出力ピン4）とから主として構成されている。

【0017】 窒化アルミニウム多層基板2は、5層の窒化アルミニウム層2c、2d、2e、2f、2gを多層一体化することにより構成した多層配線基板である。各窒化アルミニウム層上には、所定の配線パターンを有する、後に詳述する内部配線層5が設けられている。このような窒化アルミニウム多層基板2は、例えば基板自体（各窒化アルミニウム層）と内部配線層等となる導電性物質とを同時焼成することにより作製される。

【0018】また、上述した入出力ピン群3は、窒化アルミニウム多層基板2の下面（端子形成面）2bに、例えば格子状に規則的に配列されている。入出力ピン群3は、窒化アルミニウム多層基板2の内部に設けられた内部配線層5とそれぞれ電気的に接続されている。

【0019】次に、上記窒化アルミニウム多層基板2の内部に設けられた内部配線層5の構成と、この内部配線層5と入出力ピン群3との関係について詳述する。なお、以下に説明する内部配線層5と入出力ピン群3との関係は、図1に示された内部配線層5の一部に関するものであり、入出力ピン群3全てが図1の関係を満足するものではない。

【0020】最上層の第1の窒化アルミニウム層2c上には、チップ搭載部6と表面配線層7とが、例えば内部配線層5と同様に同時焼成によって形成されている。また、第2の窒化アルミニウム層2d上には、信号線の一部を引き回すための所定の配線パターンを有する第1の信号配線層8が設けられている。

【0021】第1の信号配線層8の一端は、導電性物質が充填されたピアホール8aにより表面配線層7と電気的に接続されている。第1の信号配線層8の他端は、窒化アルミニウム多層基板2の下面2bまで延設された同様なピアホール8bと電気的に接続されている。ピアホール8bは、入出力ピン群3のうちの最外周に位置する入出力ピン4aと電気的に接続されている。すなわち、この入出力ピン4aは信号ピン（信号端子）となる。

【0022】第3の窒化アルミニウム層2e上にはグランド配線層9が設けられている。このグランド配線層9は、第3の窒化アルミニウム層2e上に平面状（ベタ状）に形成されている。グランド配線層9の一端は、図示を省略したピアホールにより表面配線層7と電気的に接続されている。グランド配線層9の他端は、窒化アルミニウム多層基板2の下面2bまで延設されたピアホール9aと電気的に接続されている。ピアホール9aは、上記した信号ピンとなる入出力ピン4aの隣に配列された入出力ピン4bと電気的に接続されている。すなわち、この入出力ピン4bはグランドピン（グランド端子）となる。

【0023】また、第4の窒化アルミニウム層2f上には、他の信号線を引き回すための所定の配線パターンを有する第2の信号配線層10が設けられている。第2の信号配線層10の一端は、図示を省略したピアホールにより表面配線層7と電気的に接続されている。第2の信号配線層10の他端は、窒化アルミニウム多層基板2の下面2bまで延設されたピアホール10aと電気的に接続されている。ピアホール10aは、上記したグランドピンとなる入出力ピン4bの隣に配列された入出力ピン4cと電気的に接続されている。すなわち、この入出力ピン4cは信号ピン（信号端子）となる。

【0024】第5の窒化アルミニウム層2g上には、電

源配線層11が設けられている。この電源配線層10は、第5の窒化アルミニウム層2g上に平面状（ベタ状）に形成されている。電源配線層10の一端は、図示を省略したピアホールにより表面配線層7と電気的に接続されている。電源層11の他端は、窒化アルミニウム多層基板2の下面2bまで延設されたピアホール11aと電気的に接続されている。ピアホール11aは、上記した信号ピンとなる入出力ピン4cの隣に配列された入出力ピン4dと電気的に接続されている。すなわち、この入出力ピン4dは電源ピン（電源端子）となる。

【0025】上述した信号配線層8、10、グランド配線層9、電源配線層11、およびそれらに電気的に接続された各ピアホールによって、窒化アルミニウム多層基板2の内部配線層5が構成されている。

【0026】そして、これら内部配線層5の形成位置や取り回しを適宜選択することによって、図1に示される入出力ピン群3は、信号ピン4a、4cに隣接して、基準電位のグランドピン4bまたは電源ピン4dが位置するように配列されている。また、信号配線層8、10とグランド配線層9および電源配線層11とは、上述したように窒化アルミニウム多層基板2の積層方向に対して交互に配置されている。言い換えると、各信号ピン4a、4cに接続された信号配線層8、10は、グランド配線層9や電源配線層11とそれぞれ隣接配置されている。

【0027】図1を参照して説明した入出力ピン4a、4b、4c、4dは入出力ピン群3の一部であり、入出力ピン群3の全体配列の一例を図2に示す。図2に示すように、入出力ピン群3は格子状に規則的に配列されている。信号ピンSは、少なくとも1つのグランドピンGまたは電源ピンPと隣接するように配列されている。すなわち、全ての信号ピンSの配列上の4カ所の隣接位置の少なくとも1カ所には、グランドピンGまたは電源ピンPが配置されている。他の隣接位置は、グランドピンGや電源ピンPが必ずしも配置されていなければならないものではなく、図2に示したように他の信号ピンSが配置されていてもよい。

【0028】上述したように、この実施形態の半導体用パッケージ1においては、全ての信号ピンSの少なくとも1カ所の隣接位置に、グランドピンGまたは電源ピンPが位置するように入出力ピン群3を配列している。このため、全ての信号ピンSは必ず1つのグランドピンGまたは電源ピンPと隣接している。このようなピン配列を適用することによって、リターン電流の経路長を短縮できると共に、リターン電流の経路長のばらつきを小さくすることができる。

【0029】図3は、図1に示した半導体用パッケージ1のうち、表面配線層7および第1の信号配線層8の一部とグランド配線層9とを示す要部分解斜視図である。ここで、信号配線層8に信号電流が流れた場合、隣接す

るグランド配線層9にリターン電流が流れる。このリターン電流の経路長は、高周波信号の伝送特性に大きく影響を及ぼす。すなわち、リターン電流の経路が長くなると、高周波信号の伝送特性が低下する。

【0030】ここで、リターン電流の経路には、グランドピン4bや電源ピン4dの形成位置が大きく影響する。図3に示すように、信号ピン4aの隣接した位置にはグランドピン4bが存在している。信号ピン4aに接続された信号配線8に信号電流が流れた場合、信号ピン4aに隣接したグランドピン4bの形成位置に基いてリターン電流（図3中矢印で示す）が流れる。すなわち、グランド配線層9に流れるリターン電流の経路長を短くすることができる。これは信号ピン4aが電源ピン4dと隣接する場合も同様である。

【0031】そして、図2に示したように、全ての信号ピンSは必ず1つのグランドピンGまたは電源ピンPと隣接しているため、全ての信号配線に基くリターン電流の経路長を短くすることができる。このようにして、リターン電流の経路長を短縮できると共に、リターン電流の経路長のばらつきを小さくすることができる。従って、全ての信号配線の高周波伝送特性を向上させることができる。また、高周波伝送特性のばらつきを抑制することができる。

【0032】一方図4に示すように、信号ピン4aの隣接した位置にグランドピンや電源ピンが存在しない場合には、リターン電流の経路長（図4中矢印で示す）は長くなる。さらに、信号ピンとグランドピンや電源ピンとの距離のばらつきによって、各信号配線でリターン電流の経路長が異なることになる。本発明は、このようなリターン電流の経路長のばらつきに起因する高周波伝送特性の低下を抑制したものである。以上の説明から、信号ピンとグランドピンや電源ピンとの位置関係が、高周波伝送特性に大きく影響することが明らかである。

【0033】この実施形態の半導体用パッケージ1においては、さらに信号配線層8、10とグランド配線層9および電源配線層11とを交互に配置している。従って、信号配線層8、10と平面状のグランド配線層9および電源配線層11との電磁的結合条件をおおよそ一定とすることができる。これは、信号配線層8、10のインピーダンス制御に大きく貢献する。すなわち、各信号配線層8、10のインピーダンスをおおよそ一定とすることによって、高周波信号の伝送特性の安定化を図ることができる。平面状のグランド配線層9および電源配線層11は、リターン電流の経路短縮にも効果を発揮する。

【0034】上述したように、この実施形態の半導体用パッケージ1では、全ての信号配線8、10に基くリターン電流の経路長を短縮し、かつそのばらつきを低減している。さらに、各信号配線層8、10のインピーダンスを制御している。これらによって、全ての信号配線の

高周波伝送特性を向上させることが可能となる。これは各種設計の半導体素子を自由に搭載できることを意味する。

【0035】すなわち、最近の半導体素子は、ASICに見られるように設計の自由度を高める方向に進んでいる。このため、予めパッケージ側で各信号線の信号通過特性を定めることが困難になっている。このような現状に対して、全ての信号配線の高周波伝送特性を高めることで、どのような半導体素子を搭載した場合においても、誤動作等を生じさせることなく、良好に動作させることが可能となる。

【0036】図5は、図2に示した入出力ピン群3を有する半導体用パッケージ1において、内部配線層5中の信号配線（8、10、4a、4c）の伝送特性（S₂₁パラメータ）を、0.1GHzから10.1GHzまでの帯域幅を有するネットワークアナライザ（HP8510C（ヒューレットパッカード社製））を使用して実際に測定した結果である。図5は使用周波数と伝送特性（伝送損失）との関係を示している。

【0037】具体的な測定方法は以下に示す通りである。まず、信号配線の中から隣接した2つを任意に選択し、これら選択した2つの信号配線を表面配線層7側で短絡した。一方の信号配線の信号ピンSから入力し、その信号配線層を経て短絡させた表面配線層7で別の信号配線層に経由し、他方の信号ピンSから出力をとる。なお、この際にグランド配線層9および電源配線層11は全て短絡させた。

【0038】一方、本発明との比較として、従来構造の半導体用パッケージを作製した。すなわち、窒化アルミニウム多層基板の下面中心付近にまとめて電源ピンおよびグランドピンを配置し、その周囲に信号ピンを配置した。この入出力ピン群の配列以外は、上記実施形態の半導体用パッケージと同一材質で同様な構造のパッケージを作製した。この比較例の半導体用パッケージを用いて、実施形態と同様に信号線の伝送特性（S₂₁パラメータ）を測定した。測定用の信号配線（信号ピン）は、周囲の隣接位置に全て他の信号ピンが配置されたものを選んだ。この測定結果を図6に使用周波数と伝送特性（伝送損失）との関係として示す。

【0039】図5から明らかなように、上記実施形態による半導体用パッケージ1では、測定した周波数全域にわたって伝送損失が小さく、GHz域の高周波信号についても優れた伝送特性が得られていることが分かる。また、他の信号配線についても同様に伝送特性を測定したところ、全ての信号配線で同様な良好な結果が得られた。これらから、高周波信号の伝送特性のばらつきが小さいことが確認された。

【0040】一方、図6から明らかなように、従来構造の半導体用パッケージは、測定周波数が高周波数になるほど伝送損失が増大しており、高周波信号の伝送特性に

劣るものであった。なお、従来構造の半導体用パッケージにおいても一部の信号配線は本発明の実施形態と同様な結果が得られたが、多くは図6に示したような特性を示し、信号配線の位置により伝送特性のばらつきが大きいことが確認された。また、上述した実施形態の半導体用パッケージ1では、多層配線基板として熱伝導性に優れた窒化アルミニウム多層基板2を使用している。これにより、パッケージとしての高放熱性化を実現している。この点からも誤動作等の防止や半導体素子の高速動作化への対応が図られている。さらに、パッケージの小形化を図った上で、入出力ピンの増大に対応することができる。

【0041】なお、本発明の半導体用パッケージにおけるセラミックス多層基板は、窒化アルミニウム多層基板に限られるものではなく、酸化アルミニウム多層基板や窒化ケイ素多層基板等を用いることも可能である。ただし、上記のような放熱性の点から窒化アルミニウム多層基板を用いることが好ましい。上述した実施形態の半導体用パッケージ1は、高集積化や高速動作化された半導体素子、具体的にはCPU素子等の搭載用として好適である。

【0042】上述した実施形態の半導体用パッケージ1では、全ての信号ピンSが必ず1つのグランドピンGまたは電源ピンPと隣接するように、入出力ピン群3を配列した。本発明はこれに限定されるものではなく、少なくとも50%以上の信号ピンSが少なくとも1つのグランドピンGまたは電源ピンPと隣接するような配列とすれば、半導体素子搭載時の設計の自由度を十分に保つことができる。

【0043】例えば、16ビットのCPUの場合、少なくとも16本の信号線に良好な高周波伝送特性が要求される。同様に、32ビットのCPUの場合には少なくとも32本、64ビットのCPUの場合には少なくとも64本の信号線に良好な高周波伝送特性が要求される。従って、50%以上の信号ピンSが少なくとも1つのグランドピンGまたは電源ピンPと隣接するような配列とすれば、上述したような各種のCPUに対して十分に対応することができる。

【0044】このように、全ての信号ピンSを必ずしもグランドピンGまたは電源ピンPと隣接させなければならないわけではない。入出力ピンの配列の自由度を高めたい場合には、50~80%の信号ピンSを1つのグランドピンGまたは電源ピンPと隣接するように配列する方が好ましい。このような場合においても、上述した実施形態とおおよそ同様な効果が得られ、その上で入出力ピンの配列の自由度を高めることができる。

【0045】本発明の半導体用パッケージにおける入出力ピン群3の配列は、図2に示したように、信号ピンSに隣接した少なくとも1カ所にグランドピンGまたは電源ピンPが位置するような配列であればよい。さらに、

例えば図7に示すように、全ての信号ピンSの配列上の4カ所の隣接位置に、全てグランドピンGまたは電源ピンPを配置するような配列としてもよい。この場合、より一層高周波伝送特性の向上が図れると共に、そのばらつきをさらに小さくすることができる。

【0046】上述した実施形態の半導体用パッケージ1は、例えば図8に示すように、半導体素子21が搭載されて、パッケージ部品(半導体部品)として使用される。すなわち、半導体素子21は、窒化アルミニウム多層基板2のチップ搭載部6に接合されている。半導体素子21は、ボンディングワイヤ22を介して表面配線層7と電気的に接続されている。

【0047】さらに半導体素子21は、例えば窒化アルミニウム焼結体からなる封止部材23で覆うことによって気密封止されている。窒化アルミニウム製封止部材23は、コ字状断面の凸状外縁部の端面が窒化アルミニウム多層基板2の半導体素子搭載面に当接され、かつ凹状部内に半導体素子21が収容されるように接合されている。窒化アルミニウム多層基板2と窒化アルミニウム製封止部材23との接合は、Pb-Sn半田、Au-Sn半田、ガラス等により行われる。

【0048】上述した実施形態は本発明の半導体用パッケージを、入出力端子として入出力ピンを用いたPGA用パッケージに適用した例であるが、他の入出力端子を有する半導体用パッケージ、例えば入出力バンプを入出力端子として有するBGA用パッケージに適用することも可能である。

【0049】図9は、本発明の半導体用パッケージをBGA用パッケージに適用した実施形態の構成を示す断面図である。図9に示すBGA用パッケージ31は、窒化アルミニウム多層基板2の端子形成面2bに配列されたバンプ端子群32(バンプ端子33)を有している。バンプ端子33は、半田ボールを端子形成面2bに接合することにより形成したものである。それ以外の構成は、図1に示したPGA用パッケージ1と同一構成を有している。

【0050】バンプ端子33a、33cは信号端子である。また、バンプ端子33bはグランド端子、バンプ端子33dはグランド端子である。このようにバンプ端子33を配列したBGA用パッケージ31においても、前述したPGA用パッケージ1と同様に、信号配線の高周波伝送特性を向上させることができる。そして、どのような半導体素子を搭載した場合においても、誤動作等を生じさせることなく、良好に動作させることができる。

【0051】上記した各実施形態では、半導体素子を窒化アルミニウム多層基板2の一主面上に搭載する例について説明したが、本発明はこれに限定されるものではなく、キャビティを有するような半導体用パッケージに本発明を適用することも可能である。

【0052】なお、実開平7-27164号公報にはフラットパッケージにおいて、信号線としてのリードとグランド線または電源線としてのリードとを交互に配列した半導体装置が記載されている。これは、QFPのようなリードフレームを用いたパッケージに関するものであり、本発明によるセラミックス多層基板を用いたPGAやBGA用の半導体用パッケージとは明らかに構成が異なるものである。さらに、本発明はセラミックス多層基板を用いた半導体用パッケージに特有のリターン電流に関する問題点を解決したものであり、この点からも本発明と上記公報に記載されている半導体装置とは異なるものである。

【0053】これらに加えて、本発明が対象としているPGAやBGA用の半導体用パッケージでは、もともと入出力端子の30～40%がグランド端子や電源端子であるため、特にグランド端子や電源端子の本数を増やすことなく、上述したような端子配列が実現できる。一方、QFPの場合にはグランド用リードや電源用リードを増加する必要があり、その分信号線用リードの数が減少する。これは半導体素子の入出力信号数の増加に逆行するものである。

【0054】さらに、QFPの場合にはリードと半導体素子とを直接電気的に接続する必要があるため、リードの配列が半導体素子側の電極位置を制限することになる。これに対して、本発明では内部配線層で自由に信号配線等を取り回すことができるため、特に半導体素子側の電極位置が制限されることはない。従って、各種の半導体素子を自由に搭載することができる。この点も大きな違いである。

【0055】

【発明の効果】以上説明したように、本発明の半導体用パッケージによれば、GHzを超えるような高周波信号の優れた伝送特性が得られると共に、そのばらつきを低減することができる。よって、例えば高速動作化された各種設計の半導体素子を、誤動作を抑制した上で自由に搭載することができる。これらによって、半導体素子の高集積化や高速動作化に実用的に対応可能な半導体用パッケージを提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の半導体用パッケージをPGA用パッケージに適用した一実施形態の構成を示す断面図である。

【図2】 図1に示すPGA用パッケージの入出力ピンの一配列例を示す図である。

【図3】 図1に示すPGA用パッケージの要部を示す分解斜視図である。

【図4】 本発明との比較として示したPGA用パッケージの要部分解斜視図である。

10 【図5】 図1および図2に示すPGA用パッケージにおける信号配線の測定周波数と伝送損失との関係の一例を示す図である。

【図6】 従来のPGA用パッケージにおける信号配線の測定周波数と伝送損失との関係の一例を示す図である。

【図7】 図1に示すPGA用パッケージの入出力ピンの他の配列例を示す図である。

20 【図8】 図1に示すPGA用パッケージに半導体素子を搭載して構成したパッケージ部品の構成例を示す図である。

【図9】 本発明の半導体用パッケージをBGA用パッケージに適用した実施形態の構成を示す断面図である。

【符号の説明】

1 ……半導体用パッケージ

2 ……窒化アルミニウム多層基板

2c, 2d, 2e, 2f, 2g ……窒化アルミニウム層

3 ……入出力ピン群

4 ……入出力ピン

4a, 4c ……信号ピン

30 4b ……グランドピン

4d ……電源ピン

5 ……内部配線層

8 ……第1の信号配線層

9 ……グランド配線層

10 ……第2の信号配線層

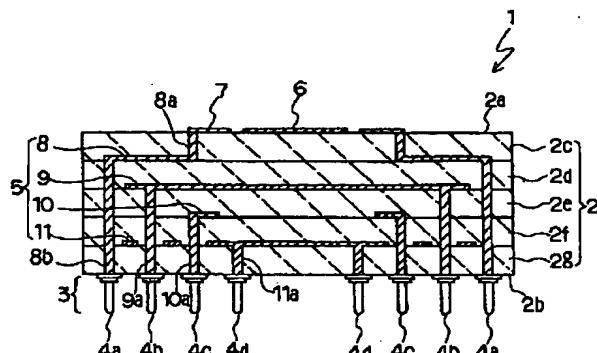
11 ……電源配線層

21 ……半導体素子

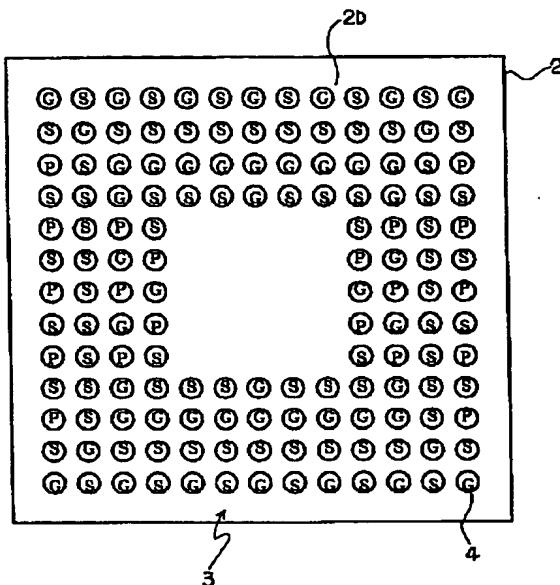
32 ……バンプ端子群

33 ……バンプ端子

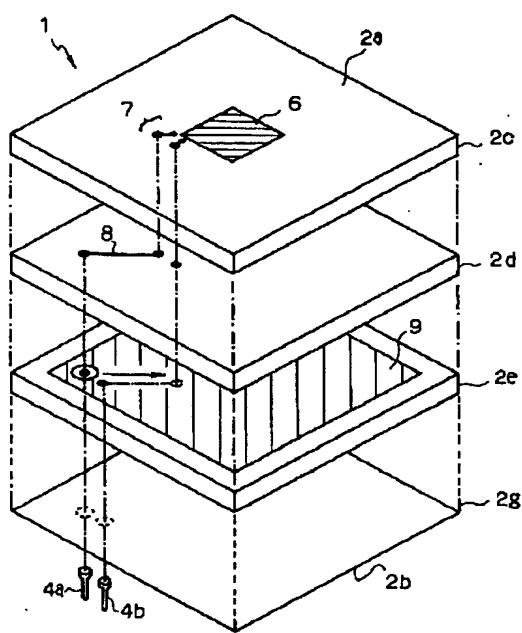
【図 1】



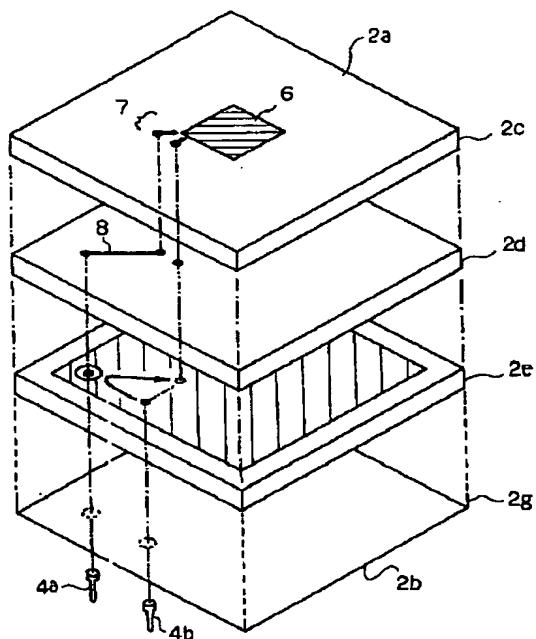
[図2]



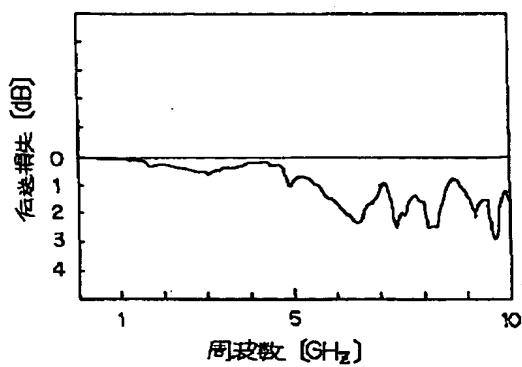
[图3]



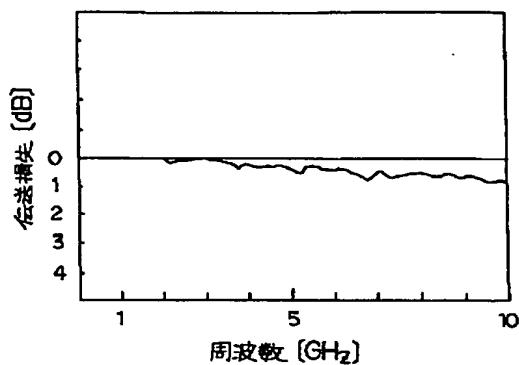
【図4】



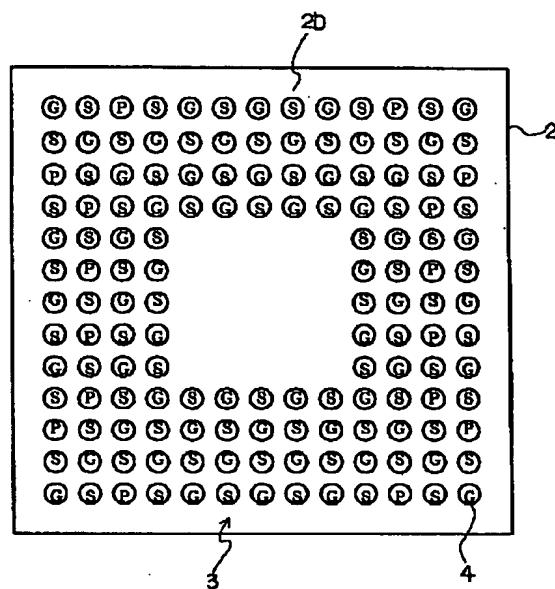
【四六】



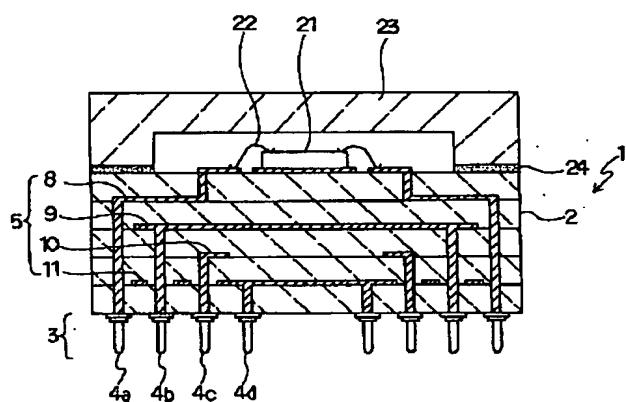
【図5】



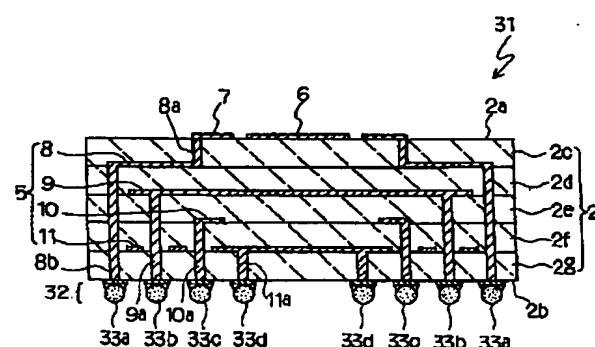
【図7】



【図8】



【図9】



フロントページの続き

(72) 発明者 五代儀 靖
神奈川県横浜市鶴見区末広町2の4 株式
会社東芝京浜事業所内